

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. 6
H01L 27/04

(11) 공개번호 특1999-0055164
(43) 공개일자 1999년07월15일

(21) 출원번호 10-1997-0075076
(22) 출원일자 1997년12월27일

(71) 출원인 현대전자산업 주식회사 김영환
경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자 김영복
경기도 이천시 부발읍 신하2리 삼익아파트 101동 2001호
(74) 대리인 박해천
원석회

심사청구 : 없음

(54) 강유전체 캐패시터 형성 방법

요약

본 발명은 캐패시터 형성 공정이 완료된 후 층간절연막을 형성하는 과정에서 발생하는 수소가, 확산방지막인 TiO_2 막으로 유입되는 것을 방지하여 강유전 특성 저하를 방지할 수 있는 강유전체 캐패시터 형성 방법으로, 강유전체막인 $SrBi_{2-x}Ta_2O_{9-x}$ 막을 형성한 후, 제1 확산방지막으로 TiO_2 막을 형성하고, 제2 확산방지막으로 Si_3N_4 또는 $SiON$ 막을 형성하여 수소가 TiO_2 막으로 유입되는 것을 방지하여 강유전체 박막이 일정한 잔류분극을 비교적 장시간에 유지할 수 있도록 함으로써 강유전체 캐패시터 특성을 향상시키는 방법이다.

대표도

도2c

명세서

도면의 간단한 설명

도1은 종래 기술에 따른 강유전체 캐패시터 형성 공정 단면도.

도2a 내지 도2c는 본 발명의 일실시예에 따른 강유전체 캐패시터 형성 공정 단면도.

* 도면의 주요 부분에 대한 설명 30: 반도체 기판 31: 필드산화막 32: 게이트 산화막 33: 게이트 전극 34, 36: 층간절연막 37: 폴리실리콘 플러그 38: 티타늄막 39: 티타늄 나이트라이드막 40, 44: 백금막 41: $SrBi_{2-x}Ta_2O_{9-x}$ 막 42: TiO_2 막 43: $SiON$ 막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은 반도체 장치 제조 방법에 관한 것으로, 특히 강유전체 캐패시터 형성 방법에 관한 것이다.

강유전체는 상온에서 유전상수가 크고, 안정한 잔류분극(remanent polarization) 특성이 있어, 강유전체를 박막화하여 비휘발성(nonvoliation) 메모리 소자로의 응용이 실현되고 있다. 강유전체 박막을 비휘발성 메모리 소자로 사용하는 경우 가해주는 전기장의 방향으로 분극의 방향을 조절하여 신호를 입력하고, 전기장을 제거하였을 때 남아 있는 잔류분극의 방향에 의해 디지털 신호(digital) 1과 0을 저장하게 되는 원리를 이용하는 것이다.

이하, 종래 기술에 따른 반도체 장치의 강유전체 캐패시터 형성 공정 단면도인 도1을 참조하여 종래 기술을 설명

한다.

도1에 도시한 바와 같이 반도체 기판(10) 상에 형성된 층간절연막(14, 16)을 선택적으로 식각하여 콘택홀을 형성하고, 콘택홀을 통하여 반도체 기판(10)과 연결되는 폴리실리콘 플러그(17)를 형성한 후, 장벽금속막으로 티타늄막(18) 및 티타늄 나이트라이드막(19)을 형성한 다음, 하부전극을 형성하기 위하여 티타늄 나이트라이드막(19) 상에 백금(Pt)막(20)을 형성하고, 백금(Pt)막(20), 티타늄 나이트라이드막(19) 및 티타늄막(18)을 선택적으로 식각하여 하부전극 패턴을 형성한다. 이어서, 하부전극 상에 (Pb, Zr)TiO

₃ (이하 PZT라 함)막(21)을 형성하고 선택적으로 식각하여 패턴을 형성한 후, 확산방지막으로 TiO₂막(22) 및 SiO₂막(23)을 형성하고 선택적으로 식각하여 PZT막(21)을 노출시킨다. 다음으로, 백금막(24)을 형성하고 선택적으로 식각하여 노출된 PZT막(21)과 접하는 상부전극을 형성한다. 이후 층간절연막을 형성하여 평탄화시킨다. 도 1에서 미설명 도면부호 '11'은 필드산화막, '12'는 게이트 산화막, '13'은 게이트 전극, '15'는 비트라인을 각각 나타낸다.

상기와 같이 이루어지는 종래의 강유전체 캐패시터 형성 공정은, 이후에 층간절연막을 형성하는 공정에서 발생하는 수소가 PZT막으로 확산되는 것을 방지하기 위하여 TiO₂막(22) 및 SiO₂막(23)을 형성한다. 그러나, 강유전체막을 SrBi

₂Ta₂O₉막으로 형성할 경우에도, 확산방지막으로 TiO₂막 및 SiO₂막을 형성하면 SrBi₂Ta₂O₉막을 구성하는 Sr, Ba 및 Ta과 산소의 결합력 보다 Ti와 산소의 결합력이 크기 때문에, SrBi₂Ta₂O₉막의 산소가 활성화되면 TiO₂막 쪽으로 확산되어 강유전체막의 조성을 변화시킨다. 즉, 화학량론적(stoichiometry)인 SrBi

₂Ta₂O₉막을 유지하기가 어렵다. 또한, Ti의 원자 반경이 작기 때문에 Ti가 단일 원자로 존재할 경우 Ti는 강유전체막 내부로 확산되어 격자간(interstitial) 결함(defect)을 야기하여 전기적 특성을 저하시킨다. 이와 같은 문제점은 TiO

₂막 상에 형성되는 산화막으로부터 TiO₂막으로 유입된 수소가 TiO₂막의 산소와 반응해서 외부로 발산되기 때문에 더더욱 심화된다.

발명이 이루고자하는 기술적 과제

상기와 같은 문제점을 해결하기 위하여 안출된 본 발명은 확산방지막인 TiO₂막으로 수소가 유입되는 것을 방지하여 강유전 특성 저하를 방지할 수 있는 강유전체 캐패시터 형성 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명은, 강유전체 캐패시터 형성 방법에 있어서, 반도체 기판 상에 하부전극을 형성하는 단계; 상기 하부전극 상에 강유전체막을 형성하는 단계; 상부전극과 접합될 부분을 제외한 나머지 부분의 상기 강유전체막을 감싸는 제1 확산방지막으로 TiO₂막을 형성하는 단계; 상기 TiO₂막 상에 제2 확산방지막으로 Si₃N₄ 또는 SiON막을 형성하는 단계; 및 상기 강유전체막과 접하도록 상부전극을 형성하는 단계를 포함하여 이루어진다.

본 발명은 확산방지막인 TiO₂막 상에 Si₃N₄ 또는 SiON막을 형성하여 수소가 TiO₂막으로 유입되는 것을 방지하여 강유전체 캐패시터 특성을 향상시키는 방법이다.

이하, 본 발명의 일실시예에 따른 강유전체 캐패시터 형성 공정 단면도인 도2a 내지 도2c를 참조하여 본 발명의 일실시예를 설명한다.

먼저, 도2a에 도시한 바와 같이 반도체 기판(30) 상에 형성된 층간절연막(34, 36)을 선택적으로 식각하여 콘택홀을 형성하고, 폴리실리콘막을 형성한 후 화학기계적연마(chemical mechanical polishing)를 실시하여, 콘택홀을 통하여 반도체 기판(30)과 연결되는 폴리실리콘 플러그(37)를 형성한 후, 장벽금속막으로 티타늄(Ti)막(38) 및 티타늄 나이트라이드(TiN)막(39)을 형성한다. 이어서, 하부전극을 형성하기 위하여 티타늄 나이트라이드막(39) 상에 백금(Pt)막(40)을 형성하고, 반도체 기판(10) 상에 스핀 코팅(spin coating), 유기금속화학기상증착법 또는 LSMCD(liquid source mixed chemical deposition) 방법으로 1000 Å 내지 2500 Å 두께의 SrBi

{2-x}Ta₂O{9-x}막(41)을 형성하고, SrBi_{2-x}Ta₂O_{9-x}막(41), 백금막(40), 티타늄 나이트라이드막(39) 및 티타늄막(38)을 선택적으로 식각하여 패턴을 형성한다.

다음으로, 도2b에 도시한 바와 같이, 반도체 기판(30) 상에 제1 확산방지막으로 TiO₂막(42)을 400 Å 내지 600 Å 두께로 형성하여 SrBi_{2-x}Ta₂O_{9-x}막(41)을 감싸도록 한다. 상기 TiO

₂막은 화학기상증착법 또는 플라즈마 화학기상증착법(plasma chemical vapor deposition)으로 형성하며, 플라즈

마 화학기상증착시 공급되는 전력은 80 W 내지 200 W로 한다. TiO_2

막(42)을 형성한 후, TiO_2 막(42)의 결정화를 증가시켜 $\text{SrBi}_{2-x}\text{Ta}_2\text{O}_{9-x}$ 막(41)의 손상을 감소시키기 위하여 급속 열처리(thermal rapid process) 공정을 실시한다.

다음으로 도2c에 도시한 바와 같이, 캐패시터 형성이 완료된 후, 산소와 수소가 다량으로 함유된 증간절연막을 형성함으로써 인하여 $\text{SrBi}_{2-x}\text{Ta}_2\text{O}_{9-x}$ 막(41)이 손상되는 것을 방지하기 위하여 TiO_2 막(42) 상에 제2 확산방지막으로 Si_3N_4 또는 SiON 막(43)을 형성한다. 이어서, SiON 막(43) 및 TiO_2

막(42)을 선택적으로 식각하여 $\text{SrBi}_{2-x}\text{Ta}_2\text{O}_{9-x}$ 막(41)을 노출한 후, 상부전극을 형성하기 위하여 백금막(44)을 증착하고 선택적으로 식각하여 노출된 $\text{SrBi}_{2-x}\text{Ta}_2\text{O}_{9-x}$ 막(41)과 접하는 상부전극을 형성한다. 도2a 내지 도2b에서 미설명 도면부호 '31'은 필드산화막, '32'는 게이트 산화막, '33'은 게이트 전극, '35'는 비트라인을 각각 나타낸다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

상기와 같이 이루어지는 본 발명은, 캐패시터 형성 공정이 완료된 후 증간절연막을 형성하는 과정에서 수소가 확산방지막인 TiO_2 막으로 확산되는 것을 방지하기 위하여, 강유전체막인 $\text{SrBi}_{2-x}\text{Ta}_2\text{O}_{9-x}$ 막을 형성하고, 제1 확산방지막으로 TiO_2 막을 형성한 후, 제2 확산방지막으로 Si_3N_4 또는 SiON 막을 형성함으로써 강유전체 박막이 일정한 잔류분극을 비교적 장시간 유지할 수 있도록하여 강유전체 캐패시터의 특성을 향상시키는 것이 가능하다.

(57)청구의 범위

청구항1

반도체 기판 상에 하부전극을 형성하는 단계;상기 하부전극 상에 강유전체막을 형성하는 단계;상부전극과 접할될 부분을 제외한 나머지 부분의 상기 강유전체막을 감싸는 제1 확산방지막으로 TiO_2 막을 형성하는 단계;상기 TiO_2 막 상에 제2 확산방지막으로 Si_3N_4 또는 SiON 막을 형성하는 단계;상기 강유전체막과 접하도록 상부전극을 형성하는 단계를 포함하여 이루어지는 강유전체 캐패시터 형성 방법.

청구항2

제 1 항에 있어서,상기 강유전체막은, $\text{SrBi}_{2-x}\text{Ta}_2\text{O}_{9-x}$ 막으로 형성하는 강유전체 캐패시터 형성 방법.

청구항3

제 1 항 또는 제 2 항에 있어서,상기 강유전체막은,스핀 코팅(spin coating), 유기금속화학기상증착법 또는 LSMCD(liquid source mixed chemical deposition) 방법으로 형성하는 강유전체 캐패시터 형성 방법.

청구항4

제 3 항에 있어서,상기 강유전체막은,1000 Å 내지 2500 Å 두께로 형성하는 강유전체 캐패시터 형성 방법.

청구항5

제 1 항 또는 제 2 항에 있어서,상기 TiO_2 막을 형성한 후, 급속열처리(thermal rapid process) 공정을 실시하는 단계를 더 포함하는 강유전체 캐패시터 형성 방법.

청구항6

제 5 항에 있어서,상기 TiO_2 막은400 Å 내지 600 Å 두께로 형성하는 강유전체 캐패시터 형성 방법.

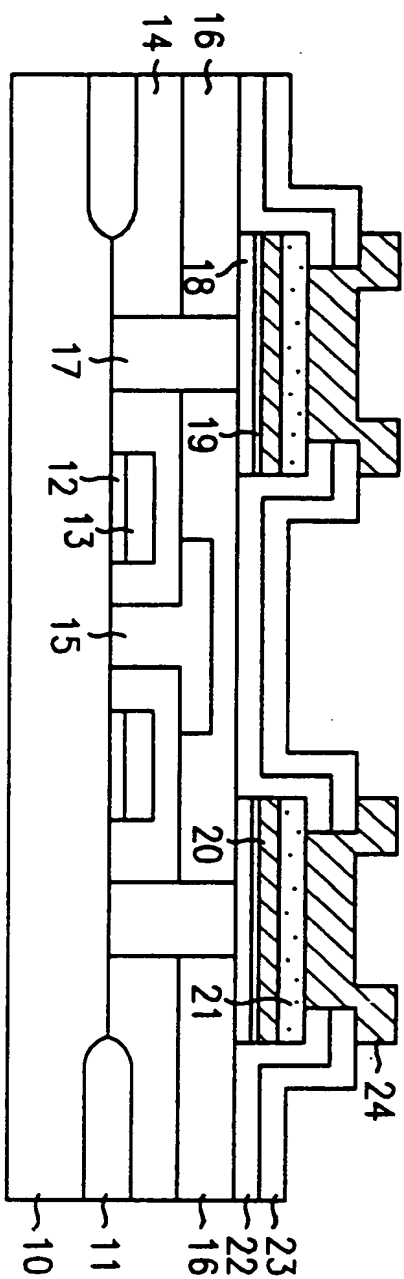
청구항7

제 6 항에 있어서,상기 TiO_2 막은,화학기상증착법 또는 플라즈마 화학기상증착법으로 형성하는 강유전체 캐패시터 형성 방법.

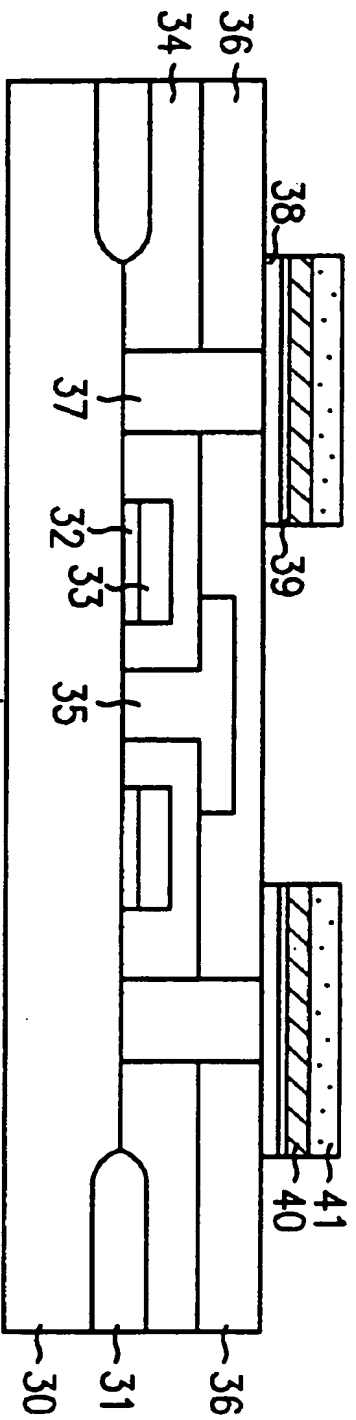
청구항8

제 7 항에 있어서,상기 TiO_2 막은,플라즈마 화학기상증착법으로, 80 W 내지 200 W의 전력을 인가하여 형성하는 강유전체 캐패시터 형성 방법.

도면
도면1



도면2a



도면2b

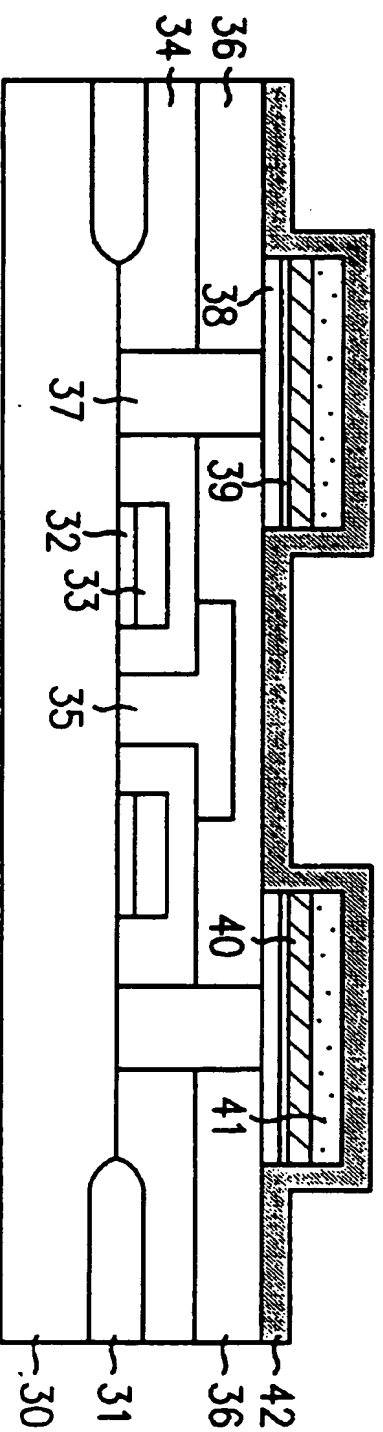


図2c

